

## PATENT ABSTRACTS OF JAPAN

E6120 ① 12

(11)Publication number : 2000-156461  
(43)Date of publication of application : 06.06.2000

(51)Int.Cl. H01L 25/065  
H01L 25/07  
H01L 25/18

(21)Application number : 11-151409 (71)Applicant : INTERNATL BUSINESS MACH  
CORP <IBM>  
(22)Date of filing : 31.05.1999 (72)Inventor : BERTIN CLAUDE L  
FERENCE THOMAS GEORGE  
WAYNE JOHN HOWEL  
SPROGIS EDMUND J

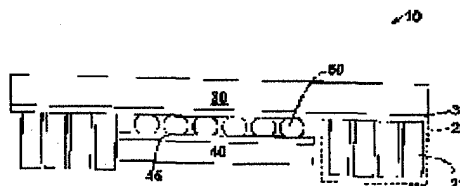
(30)Priority  
Priority number : 98 105419 Priority date : 26.06.1998 Priority country : US

## (54) HIGH-INTEGRATION CHIP-ON-CHIP PACKAGING

## (57)Abstract:

PROBLEM TO BE SOLVED: To individually set a chip and to achieve a compact semiconductor package with a high-integration technique by equipping a plurality of independent chips that are electrically connected and function completely and chip-on- chip part connection/interconnection for electrically connecting the chips to an external circuit.

SOLUTION: Chip-on-chip parts 10 include a first chip 30, a second chip 40, and chip-on-chip part connection 20. An active region 35 of the first chip 30 is electrically connected to an active region 45 of the second chip 40 via solder ball connection 50 or electrical connection between chips. Also, the chip-on-chip part connection 20 is a solder column 22 that is connected to the first chip 30, and the solder column 22 can connect the chip-on-chip parts 10 to an external circuit via a substrate, thus achieving a reliable, compact semiconductor package with high-integration technique and at the same time improving thermal performance.



## LEGAL STATUS

[Date of request for examination] 17.09.1999  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 3096459

[Date of registration]

04.08.2000

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-156461  
(P2000-156461A)

(43) 公開日 平成12年6月6日(2000.6.6)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 1 L 25/065		H 0 1 L 25/08	B
25/07			
25/18			

審査請求 有 請求項の数20 O L (全 10 頁)

(21) 出願番号 特願平11-151409

(22) 出願日 平成11年5月31日(1999.5.31)

(31) 優先権主張番号 09/105419

(32) 優先日 平成10年6月26日(1998.6.26)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531  
インターナショナル・ビジネス・マシーンズ・コーポレーション  
INTERNATIONAL BUSINESS MACHINES CORPORATION  
アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)

(74) 代理人 100086243  
弁理士 坂口 博 (外1名)

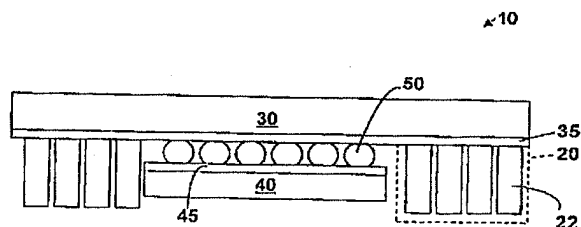
最終頁に続く

(54) 【発明の名称】 高集積度チップ・オン・チップ実装

(57) 【要約】

【課題】 個別設定の可能なチップ・オン・チップ部品およびその製造方法を提供すること。

【解決手段】 本発明の利点は、電氣的に接続された少なくとも2つの完全に機能するチップと、完全に機能するチップを外部回路に電氣的に接続するためのチップ・オン・チップ部品接続／相互接続とを有するチップ・オン・チップ・モジュールによって実現される。



## 【特許請求の範囲】

【請求項1】電気的に互いに接続されたアクティブ領域を有する少なくとも2つの独立チップを含み、前記2つのチップの前記アクティブ領域が相互に向き合っているチップ・オン・チップ・モジュールと、前記チップを外部回路に電気的に接続するためのチップ・オン・チップ部品接続とを含む装置。

【請求項2】前記チップ・オン・チップ部品接続が、前記チップのうちの1つのチップの前記アクティブ領域に接続された第1組のはんだボールと、前記外部回路に接続するための第2組のはんだボールと、前記第1組のはんだボールと前記第2組のはんだボールの間に接続され、非導電性材料によって囲まれた導電性チャネルと、を含むはんだボール・インタポーザである、請求項1に記載の装置。

【請求項3】前記少なくとも2つのチップが異なる技術で形成される、請求項1に記載の装置。

【請求項4】前記チップ・オン・チップ部品接続が、前記チップの前記アクティブ領域に接続された第1組の接続要素と、前記外部回路に接続するための第2組の接続要素と、導線を有し、前記導線が前記第1組の接続要素を前記第2組の接続要素に接続する基板とを含む相互接続基板である、請求項1に記載の装置。

【請求項5】前記外部回路がプラグ差込み可能な接続である、請求項4に記載の装置。

【請求項6】前記第2組の接続要素が、前記少なくとも2つのチップのうちの1つのチップの第1背面同一平面上の第2組のはんだボールと、前記少なくとも2つのチップのうちの別のチップの第2背面同一平面上の第2組の金属パッドとを含み、前記チップ・オン・チップ・モジュールの第2組のはんだボールが、前記第2チップ・オン・チップ・モジュールの金属パッドを介して、前記チップ・オン・チップ・モジュールを第2チップ・オン・チップ・モジュールに接続する、請求項4に記載の装置。

【請求項7】前記はんだボール・インタポーザが前記チップ・オン・チップ・モジュールの少なくとも2つのチップのうちの1つと同じ高さである、請求項2に記載の装置。

【請求項8】a) 電気的に接続されたアクティブ領域を有する少なくとも2つの独立チップを含み、前記2つのチップの前記アクティブ領域が向き合っているチップ・オン・チップ・モジュールを製造する段階と、  
b) 前記チップ・オン・チップ・モジュールを外部回路に電気的に接続するためのチップ・オン・チップ部品接続を製造する段階とを含むチップ・オン・チップ部品の製造方法。

【請求項9】段階a)およびb)が、

- 1) ウェハにウェハ・アクティブ領域を設ける段階と、
- 2) 前記ウェハのアクティブ領域に接続されたICアクティブ領域を有する集積回路(IC)チップを前記ウェハに取り付ける段階と、
- 3) 前記ICチップと同じ高さを持つチップ・オン・チップ部品接続を前記ウェハのアクティブ領域に取り付ける段階と、
- 4) 前記ウェハ、前記取り付けられたICチップ、および前記取り付けられたチップ・オン・チップ部品接続の上にコンフォーマル・コーティングを付着する段階と、
- 5) 前記コーティングを前記ICチップの前記高さに合わせて平坦化して、チップ・オン・チップ・ウェハを形成する段階と、
- 6) 前記チップ・オン・チップ・ウェハを予め定義された位置でダイシングを行って、前記チップ・オン・チップ・モジュールと前記チップ・オン・チップ部品接続とを有するチップ・オン・チップ部品を形成する段階とをさらに含む、請求項8に記載の方法。

【請求項10】段階b)が、

- 1) 第1組のはんだボールを設ける段階と、
- 2) 前記第1組のはんだボールを前記チップのうちの1つのチップの前記アクティブ領域に接続する段階と、
- 3) 前記外部回路に接続するための第2組のはんだボールを設ける段階と、
- 4) 前記第1組のはんだボールと前記第2組のはんだボールを、非導電性材料で囲まれた導電性チャネルで接続してはんだボール・インタポーザを形成する段階とをさらに含む、請求項8に記載の方法。

【請求項11】前記少なくとも2つのチップが異なる技術で形成される、請求項8に記載の方法。

【請求項12】段階b)が、

- 1) 第1組の接続要素を設ける段階と、
- 2) 前記第1組の接続要素を前記チップのうちの1つのチップの前記アクティブ領域に接続する段階と、
- 3) 前記外部回路に接続するための第2組の接続要素を設ける段階と、
- 4) 前記第1組の接続要素と前記第2組の接続要素とを、導線を有する基板で接続して相互接続基板を形成する段階とをさらに含む、請求項8に記載の方法。

【請求項13】前記外部回路がプラグ差込み可能な接続である、請求項12に記載の方法。

【請求項14】段階3)が、

- 3a) 前記相互接続基板を、前記少なくとも2つのチップのうちの1つのチップの第1背面および前記少なくとも2つのチップのうちの別のチップの第2背面に合わせて平坦化する段階と、
- 3b) 前記第1背面と同じ高さの第2組のはんだボールを設ける段階と、
- 3c) 前記第2背面と同じ高さの第2組の金属パッドを設ける段階と、

3d) 前記チップ・オン・チップ・モジュールを前記第2組の接続要素を介して第2チップ・オン・チップ・モジュールに接続する段階とをさらに含む、請求項12に記載の方法。

【請求項15】外部部品と、電氣的に接続されたアクティブ領域を有する少なくとも2つの独立チップを含み、前記2つのチップの前記アクティブ領域が相互に向き合っているチップ・オン・チップ・モジュールと、前記チップを前記外部部品に電氣的に接続するためのチップ・オン・チップ部品接続とを含むチップ・オン・チップ・パッケージ。

【請求項16】前記チップ・オン・チップ部品接続が、前記チップのうちの1つのチップの前記アクティブ領域に接続された第1組のはんだボールと、前記外部部品に接続するための第2組のはんだボールと、前記第1組のはんだボールと前記第2組のはんだボールの間に接続され、非導電性材料によって囲まれたチャネルとを含むはんだボール・インタポーザである、請求項15に記載のチップ・オン・チップ・パッケージ。

【請求項17】前記少なくとも2つのチップが異なる技術で形成される、請求項15に記載のチップ・オン・チップ・パッケージ。

【請求項18】前記チップ・オン・チップ部品接続が、前記チップの前記アクティブ領域に接続された第1組の接続要素と、前記外部部品に接続するための第2組の接続要素と、導線を有し、前記導線が前記第1組の接続要素と前記第2組の接続要素を接続する基板と、を含む相互接続基板である、請求項15に記載のチップ・オン・チップ・パッケージ。

【請求項19】前記外部部品がプラグ差込み可能な接続を有する、請求項18に記載のチップ・オン・チップ・パッケージ。

【請求項20】前記第2組の接続要素が、前記少なくとも2つのチップのうちの1つのチップの第1背面と同じ高さの第2組のはんだボールと、前記少なくとも2つのチップのうちの別のチップの第2背面と同じ高さの第2組の金属パッドとを含み、前記チップ・オン・チップ・モジュールの前記第2組のはんだボールが、前記第2チップ・オン・チップ・モジュールの金属パッドを介して、前記チップ・オン・チップ・モジュールを第2チップ・オン・チップ・モジュールに接続する、請求項18に記載のチップ・オン・チップ・パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に半導体素子に関し、さらに詳しくは、半導体素子におけるチップ・

オン・チップ実装 (Chip-on-chip packaging) に関する。

【0002】

【従来の技術】この50年間に電子機器の開発および実装は、めざましく進歩してきた。集積回路の密度は著しい速度で増大を遂げ、かつ増大し続けている。しかし、1980年代までに、集積回路の密度の増加は、チップ内に形成される回路の外部の相互接続回路の密度の対応する増加との均衡が取れなくなっていた。そこで、多くの新しい実装技術が出現した。ある特定の技術が、「チップ・オン・チップ・モジュール」技術と呼ばれるものである。本発明は、チップ・オン・チップ・モジュールという特定の技術分野に関する。

【0003】多くの場合、チップ・オン・チップ・モジュールは、新しい基板集積回路を設計するよりも速くかつ安価に製造することができる。チップ・オン・チップ・モジュール技術は、密度が増加するので有利である。密度の増加に伴って実現される、それと同等の伝搬速度および素子の総重量の改善は、他の手段とは比べものにならない。現在のチップ・オン・チップ・モジュールの構成は一般的に、プリント回路基板から成り、一連の集積回路部品がそれに直接接着される。

【0004】さらに、チップ・オン・チップ・モジュールの基板接着回路を基板上の回路に電氣的に外部から接続する方法に関連する、いくつかの異なる技術分野がある。これらの技術分野には、ワイヤ・ボンディング、テープ自動ボンディング (TAB)、フリップTAB、およびフリップ・チップがある。幾つかの例が以下の米国特許に見られる。米国特許第5323060号、米国特許第5600541号、米国特許第5495394号、米国特許第5399898号。

【0005】残念ながら、これらの技術はコストが高くなり、多くの場合、パッケージの構成要素の再加工 (つまり取外しおよび交換) ができず、よって歩留まりが低下し、コストが増加する。チップ規模の個別設定 (personalization) も著しく制限される。現在、チップはウェハレベルまたはパッケージレベルで個別設定することができる。ウェハ製造後、実装前にチップを個別設定できないことは、製品の適用上の柔軟性および製造コストの点で、かなり不利になる。

【0006】

【発明が解決しようとする課題】したがって、上述およびその他の制限をなくしたチップ・オン・チップ部品、相互接続、およびそれらの製造方法を提供することは、本発明の利点である。

【0007】

【課題を解決するための手段】本発明の利点は、電氣的に接続された少なくとも2つの完全に機能する独立チップと、チップを外部回路に電氣的に接続するためのチップ・オン・チップ部品接続／相互接続とを有するチップ

・オン・チップ・モジュールによって実現される。

【0008】本発明の上述およびその他の利点および特徴は、添付の図面に示す本発明の好適な実施例についての以下の詳細な説明から明らかになるであろう。

【0009】

【発明の実施の形態】図1を参照すると、本発明の好適な実施形態に係る第1の例示的チップ・オン・チップ部品10が示されている。チップ・オン・チップ部品10は、第1チップ30、第2チップ40、およびチップ・オン・チップ部品接続20を含む。第1チップ30のアクティブ領域35は、C4 (controlled collapse chip connection) はんだボール接続50またはホットニック相互接続などの電氣的チップ間接続を介して、第2チップ40のアクティブ領域45に電氣的に接続される。はんだボール接続50は、チップ間連絡のための高性能の電気経路になる。この相互接続は、チップの電気配線に固有の高性能とあいまって、第1チップ30および第2チップ40の両方のためのオフチップ・ドライバ(図示せず)のサイズと電力を劇的に縮小する。この例およびこの後の例では特にはんだボールおよびはんだカラムを示すが、他にも、ポリマー金属複合体相互接続、銅めっきカラム、マイクロベルクロ接続など、様々な組成の相互接続を利用できることを理解されたい。

【0010】この特定の例では、チップ・オン・チップ部品接続20は、第1チップ30に接続されたはんだカラム22である。はんだカラム22は、チップ・オン・チップ部品10を、一般的に基板を通して外部回路に接続することができる。

【0011】図2は第2の例示的チップ・オン・チップ部品を示す。チップ・オン・チップ部品接続20ははんだボールを含む。図1および図2のどちらでも、はんだカラムおよびはんだボールを製造する例示的方法是、フェレンス (Ference) 他による「Chip-on-Chip Interconnections of Varied Characteristics」という名称の関連出願であるIBMの米国特許出願(整理番号BU9-98-011)に記載されている。はんだカラムおよびはんだボールは、以下の段階により製造することもできる。

1) 第1チップにはんだ付け可能な金属パッドを製作する。はんだカラムパッドに使用できる外周領域のパッドは、例えば直径125 $\mu$ m、ピッチ250 $\mu$ mである。中心領域のパッドは、直径50 $\mu$ m、ピッチ100 $\mu$ mとすることができる。

2) 第2チップにC4はんだボールの配列を製作する。C4の組成は97/3のPb/Snとすることができ、C4は第1チップの中心領域パッドのピッチに合わせなければならない。

3) 第1チップを第2チップに取り付ける。これは、標準のチップ・ピック・アンド・プレイス(chip pick and place) (C P P) 技術を用いて、またはノークリー-

ン・フラックス(no-clean flux)、PADS、ロジンベーション・フラックスと炉内リフローなどの接合方法によって行うことができる。

4) はんだカラムまたはボールを第2チップに取り付ける。取付けははんだ射出成形によって行うことができる。

5) チップ・オン・チップ部品を基板に接合する。これは、標準のプレイス・アンド・ジョイン(place and join) 技術により、基板TSMパッドに共晶はんだを接合することによって行われる。

【0012】図3および図4に、第3および第4の例示的チップ・オン・チップ部品を示す。チップ・オン・チップ部品接続20は、はんだボール26と配線25(図3)またはワイヤボンド(図4)を含む。図3では基板57内にキャビティ(cavity)55を形成し、第2チップ40の上面を基板57の上面と同じ高さにする。そうすると、はんだボール26は、チップ・オン・チップ部品を基板57に接続する接続はんだボール50と同じ大きさにすることができる。

【0013】図5に、図4のチップ・オン・チップ部品10Aを使用したチップ・オン・チップ・パッケージを示す。ワイヤボンド28は、基板72の上面に接続される。基板72の下面は、チップ・オン・チップ・パッケージを様々な実装レベルに接続するためのはんだボール76を含む。接着剤71は、チップ・オン・チップ部品10Aを基板72に機械的に接続する。樹脂ダム66およびカプセル材(encapsulant)64は、チップ30、40を保護し、ワイヤボンドおよびチップ構造60の耐久性を生み出す。金属蓋62は、コンパクトで、耐久性があり、熱的性質が向上したチップ・オン・チップ・パッケージを提供する。

【0014】図6および図7に示すように、チップ・オン・チップ部品10Bのチップ・オン・チップ部品接続20は、はんだボール・インタポーザ32を含む。はんだボール・インタポーザ32は、基板への電氣的相互接続と第2チップ40の間隙を設けるために必要な高さを提供する。はんだボール・インタポーザ32は、チップ40の1つのアクティブ領域に接続された第1組のはんだボール、外部回路に接続された第2組のはんだボール、および第1組と第2組のはんだボールの間の導電性チャネルから形成される。チャネルは非導電性材料で囲まれている。図7に、図6のチップ・オン・チップ部品10Bを使用したチップ・オン・チップ・パッケージを示す。はんだボール・インタポーザは基板72の上面に接続される。基板72の下面は、チップ・オン・チップ・パッケージを様々な実装レベルに接続するためのはんだボール76を含む。第1チップ30には、接着剤78によってヒート・スプレッド74が接続される。ヒート・スプレッドは、チップ・オン・チップ部品10Bの熱の放散を可能にする。

【0015】図1ないし図7およびこの後の例のチップ・オン・チップ部品の利点として、次のようなことが挙げられる。すなわち、チップ30とチップ40を異なる半導体技術で製作し、これらの技術を1つのチップ上で使用した場合に固有の制限なしに、互いに接続することができる。例えばチップ30を論理チップとし、チップ40をDRAMチップとし、チップ・オン・チップ部品レベルで組合せ論理/DRAMを形成することができる。第2に、チップ30とチップ40が、全ての機能および回路がそれぞれのチップに存在する単一チップに比べて、個々により小さく、かつより簡単になる。第3に、大量のメモリをプロセッサに近接して配置することができる。第4に、チップ・オン・チップ部品のフィーチャが極めて平坦でメタラジカル (metallurgical) であるため、相互接続の密度が増大する。最後に、本発明のチップ・オン・チップ部品は、同一機能を提供する単一の高集積チップより低いコスト、低い電力、および高い性能を実現する。

【0016】図8ないし図13に、本発明の第2の実施形態に係るチップ・オン・チップ部品の製作順序を示す。図8に、アクティブ回路および相互接続層145を有するチップ・ウェハ140が示されている。ウェハ140は、例えばシリコンウェハ、Ga-Asウェハ、Si-Geウェハなどとしてすることができる。アクティブ回路および相互接続層145は、外部相互接続に必要な構造およびフィーチャを含む。図9では、集積回路(IC)チップ130とはんだボール・インタポーザ(スパーサとしても知られる)32の2種類の部品が、ウェハ140に取り付けられる。ICチップ130はウェハ140のアクティブ回路に電気的に結合され、より高レベルの集積回路機能を実現する。カプセル封止を伴うはんだボールおよびワイヤボンダなどの電気的接続を使用することができる。はんだボール・インタポーザ32は、ウェハ140のアクティブ回路層145と、ICチップ130のアクティブ回路層面によって形成される平面との間の電気的通路を提供する。この例では特にはんだボール・インタポーザ32を示すが、スルーバイアを有するシリコン・チップ、多層セラミック、有機PCBスパーサなど、他のスパーサを使用することもできる。また、この例でははんだボールを使用してICチップ130およびはんだボール・インタポーザ32をウェハ140に接続するが、導電性エポキシ、PMCペースト、異方性導電性接着剤、および過渡的液相ボンディングなど、他の相互接続手段も可能である。はんだボールのカプセル材(図示せず)を使用して、はんだボールを取り囲むことができる。

【0017】図10に示すように、表面を覆ってコンフォーマル (conformal) ・コーティング34 (例えばパラレン) を付着する。次に機械的または化学的装置あるいはその両方を用いて、図11に示すように、このコー

ティングを平坦化する。平坦化の一例は、標準のウェハ研磨技術を用いて表面を機械的に研磨することである。この平坦化の結果、はんだボール・インタポーザ32の相互接続バイアが表面に現れる構造が得られる。これらのバイアにより、外部回路への接続が可能になる。図12に、外部回路への相互接続のためにはんだボール・インタポーザ32上にはんだボール36を製作する工程を示す。チップ・オン・チップ部品を、事前に定義された位置38でダイシングして、はんだボール36を用いて外部回路に接続できる「スーパチップ」を形成する。図13に、キャリア/基板72に接続されたスーパチップを示す。図13に示すようなスーパチップを製作すると幾つかの利点がある。幾つかの利点を挙げると、複数の異なる半導体技術を使用した非常に高レベルの集積; 部品の速度、帯域幅要件、およびオフチップ速度における優れた性能; 構成チップが物理的に小さく、複雑な回路または製作技術を必要とせず、その結果として高い歩留まりが得られ、コストが低下すること; 幾つかの構成部品を様々な構成で連結することによって個別設定が達成できることなどがある。

【0018】図14および図15は、本発明の第3の実施形態に係るチップ・オン・チップ部品80の断面図である。チップ・オン・チップ部品80はそれぞれ2つのチップから成る2つのグループを含み、各グループは第1チップと電気的に接続された第2チップ30、40および30A、40A (例えば図1のチップ・オン・チップ部品10を2個) を含む。この例では、チップ30と30Aの背面が互いに向き合っている。2つのグループのチップは、チップ・オン・チップ部品接続20A、この例では相互接続基板88を介して、電気的に接続することができる。相互接続基板88はまた、ワイヤボンダ84、C4接続86、金属パッド接続82などの電気的接続を介して、チップ・オン・チップ部品80を外部素子に接続する。図14および図15のチップ・オン・チップ部品80には、説明のために様々な種類の接続が示されているが、通常、1つの適用例には1種類の接続だけが使用される (つまり、接続82、84、86は全て、例えばC4接続となる)。図15に、図14のチップ・オン・チップ部品80を使用したチップ・オン・チップ・パッケージを示す。チップ30、30Aに2つのヒート・スプレッド92が接着剤94によって接続されている。ヒート・スプレッド92は、チップ・オン・チップ部品80の熱の放散を可能にする。基板57にキャピティ55が形成され、第2チップ40の上面が基板57の上面と同じ高さにされる。そうすると、はんだボール26を、基板57にチップ・オン・チップ部品を接続するための接続はんだボール50と同じ大きさにすることができる。したがって、本発明のこの実施形態に従って説明したように、それぞれが別々の特定の機能を有し、潜在的に異なる半導体技術を使用して製作された幾

つかのチップを1つに接合することができる。

【0019】図16は、本発明の第4の実施形態に係るチップ・オン・チップ部品80Aを含むプラグ差込み可能なチップ・オン・チップ・パッケージの断面図である。チップ・オン・チップ部品80Aは、チップ・オン・チップ30、30A、40、40A、相互接続基板88A、および結合基板88Bを含む。この例では、チップ・オン・チップ部品80Aはカプセル材96で封止され、これにより頑丈な部品が実現される。相互接続基板88Aは、プラグ差込み可能なインタフェース90を介して外部回路への電気的接続を可能にする。

【0020】図17は、本発明の第5の実施形態に係るチップ・オン・チップ部品80Bの断面図である。チップ・オン・チップ部品80Bは、チップ・オン・チップ部品接続20Aがチップ・オン・チップ部品80Bの上面および下面へまで延びる積重ね可能な相互接続基板88Cを含む点を除いて、チップ・オン・チップ部品80(図14)と同様である。チップ・オン・チップ部品接続20Aの上面ははんだ付け可能な金属パッド82を含み、チップ・オン・チップ部品接続20Aの下面ははんだボール86を含む。チップ・オン・チップ部品構造80Bは、積重ね可能な三次元モジュールのためのユニット構造の例である。チップ40、40Aを取り除き、チップ・オン・チップ部品接続20Aをチップ30、30Aにまたがって延長させることからなる別のユニット構造の例も可能である。図18に、図17のチップ・オン・チップ部品ユニット構造80Bを2個含む積重ねモジュールを示す。

【0021】積重ねモジュールおよびユニット構造の利点を幾つか挙げると、第1に、異なる大きさおよび厚さのチップを容易に収容することができる。第2に、構造が再加工可能である。第3に、著しい事前定義なしに、様々な大きさの構造が可能である。第4に、ユニット構造間の熱管理が可能である。

【0022】したがって、本発明に係るチップ・オン・チップ部品および接続により、高度集積技術および信頼性が高いコンパクトな半導体パッケージが実現される。チップ・オン・チップ・パッケージはまた、電気的、機械的、熱的性能をも向上させる。

【0023】まとめとして、本発明の構成に関して以下の事項を開示する。

【0024】(1) 電気的に互いに接続されたアクティブ領域を有する少なくとも2つの独立チップを含み、前記2つのチップの前記アクティブ領域が相互に向き合っているチップ・オン・チップ・モジュールと、前記チップを外部回路に電気的に接続するためのチップ・オン・チップ部品接続とを含む装置。

(2) 前記チップ・オン・チップ部品接続が、前記チップのうちの1つのチップの前記アクティブ領域に接続された第1組のはんだボールと、前記外部回路に接続する

ための第2組のはんだボールと、前記第1組のはんだボールと前記第2組のはんだボールの間に接続され、非導電性材料によって囲まれた導電性チャネルと、を含むはんだボール・インタポーザである、上記(1)に記載の装置。

(3) 前記少なくとも2つのチップが異なる技術で形成される、上記(1)に記載の装置。

(4) 前記チップ・オン・チップ部品接続が、前記チップの前記アクティブ領域に接続された第1組の接続要素と、前記外部回路に接続するための第2組の接続要素と、導線を有し、前記導線が前記第1組の接続要素を前記第2組の接続要素に接続する基板とを含む相互接続基板である、上記(1)に記載の装置。

(5) 前記外部回路がプラグ差込み可能な接続である、上記(4)に記載の装置。

(6) 前記第2組の接続要素が、前記少なくとも2つのチップのうちの1つのチップの第1背面同一平面上の第2組のはんだボールと、前記少なくとも2つのチップのうちの別のチップの第2背面同一平面上の第2組の金属パッドとを含み、前記チップ・オン・チップ・モジュールの第2組のはんだボールが、前記第2チップ・オン・チップ・モジュールの金属パッドを介して、前記チップ・オン・チップ・モジュールを第2チップ・オン・チップ・モジュールに接続する、上記(4)に記載の装置。

(7) 前記はんだボール・インタポーザが前記チップ・オン・チップ・モジュールの少なくとも2つのチップのうちの1つと同じ高さである、上記(2)に記載の装置。

(8) a) 電気的に接続されたアクティブ領域を有する少なくとも2つの独立チップを含み、前記2つのチップの前記アクティブ領域が向き合っているチップ・オン・チップ・モジュールを製造する段階と、

b) 前記チップ・オン・チップ・モジュールを外部回路に電気的に接続するためのチップ・オン・チップ部品接続を製造する段階とを含むチップ・オン・チップ部品の製造方法。

(9) 段階a) およびb) が、

1) ウェハにウェハ・アクティブ領域を設ける段階と、  
2) 前記ウェハのアクティブ領域に接続されたICアクティブ領域を有する集積回路(IC)チップを前記ウェハに取り付ける段階と、

3) 前記ICチップと同じ高さを持つチップ・オン・チップ部品接続を前記ウェハのアクティブ領域に取り付ける段階と、

4) 前記ウェハ、前記取り付けられたICチップ、および前記取り付けられたチップ・オン・チップ部品接続の上にコンフォーマル・コーティングを付着する段階と、

5) 前記コーティングを前記ICチップの前記高さに合わせて平坦化して、チップ・オン・チップ・ウェハを形成する段階と、



6) 前記チップ・オン・チップ・ウェハを予め定義された位置でダイシングを行って、前記チップ・オン・チップ・モジュールと前記チップ・オン・チップ部品接続とを有するチップ・オン・チップ部品を形成する段階とをさらに含む、上記(8)に記載の方法。

(10) 段階b)が、

- 1) 第1組のはんだボールを設ける段階と、
- 2) 前記第1組のはんだボールを前記チップのうちの1つのチップの前記アクティブ領域に接続する段階と、
- 3) 前記外部回路に接続するための第2組のはんだボールを設ける段階と、
- 4) 前記第1組のはんだボールと前記第2組のはんだボールを、非導電性材料で囲まれた導電性チャンネルで接続してはんだボール・インタポーザを形成する段階とをさらに含む、上記(8)に記載の方法。

(11) 前記少なくとも2つのチップが異なる技術で形成される、上記(8)に記載の方法。

(12) 段階b)が、

- 1) 第1組の接続要素を設ける段階と、
- 2) 前記第1組の接続要素を前記チップのうちの1つのチップの前記アクティブ領域に接続する段階と、
- 3) 前記外部回路に接続するための第2組の接続要素を設ける段階と、
- 4) 前記第1組の接続要素と前記第2組の接続要素とを、導線を有する基板上で接続して相互接続基板を形成する段階とをさらに含む、上記(8)に記載の方法。

(13) 前記外部回路がプラグ差込み可能な接続である、上記(12)に記載の方法。

(14) 段階3)が、

- 3a) 前記相互接続基板を、前記少なくとも2つのチップのうちの1つのチップの第1背面および前記少なくとも2つのチップのうちの別のチップの第2背面に合わせ平坦化する段階と、
- 3b) 前記第1背面と同じ高さの第2組のはんだボールを設ける段階と、
- 3c) 前記第2背面と同じ高さの第2組の金属パッドを設ける段階と、
- 3d) 前記チップ・オン・チップ・モジュールを前記第2組の接続要素を介して第2チップ・オン・チップ・モジュールに接続する段階とをさらに含む、上記(12)に記載の方法。

(15) 外部部品と、電気的に接続されたアクティブ領域を有する少なくとも2つの独立チップを含み、前記2つのチップの前記アクティブ領域が相互に向き合っているチップ・オン・チップ・モジュールと、前記チップを前記外部部品に電気的に接続するためのチップ・オン・チップ部品接続とを含むチップ・オン・チップ・パッケージ。

(16) 前記チップ・オン・チップ部品接続が、前記チップのうちの1つのチップの前記アクティブ領域に接続

された第1組のはんだボールと、前記外部部品に接続するための第2組のはんだボールと、前記第1組のはんだボールと前記第2組のはんだボールの間に接続され、非導電性材料によって囲まれたチャンネルとを含むはんだボール・インタポーザである、上記(15)に記載のチップ・オン・チップ・パッケージ。

(17) 前記少なくとも2つのチップが異なる技術で形成される、上記(15)に記載のチップ・オン・チップ・パッケージ。

(18) 前記チップ・オン・チップ部品接続が、前記チップの前記アクティブ領域に接続された第1組の接続要素と、前記外部部品に接続するための第2組の接続要素と、導線を有し、前記導線が前記第1組の接続要素と前記第2組の接続要素を接続する基板と、を含む相互接続基板である、上記(15)に記載のチップ・オン・チップ・パッケージ。

(19) 前記外部部品がプラグ差込み可能な接続を有する、上記(18)に記載のチップ・オン・チップ・パッケージ。

(20) 前記第2組の接続要素が、前記少なくとも2つのチップのうちの1つのチップの第1背面と同じ高さの第2組のはんだボールと、前記少なくとも2つのチップのうちの別のチップの第2背面と同じ高さの第2組の金属パッドとを含み、前記チップ・オン・チップ・モジュールの前記第2組のはんだボールが、前記第2チップ・オン・チップ・モジュールの金属パッドを介して、前記チップ・オン・チップ・モジュールを第2チップ・オン・チップ・モジュールに接続する、上記(18)に記載のチップ・オン・チップ・パッケージ。

【図面の簡単な説明】

【図1】本発明の好適な実施形態に係る第1の例示的チップ・オン・チップ部品接続を備えたチップ・オン・チップ部品の断面図である。

【図2】本発明の好適な実施形態に係る第2の例示的チップ・オン・チップ部品接続を備えたチップ・オン・チップ部品の断面図である。

【図3】本発明の好適な実施形態に係る第3の例示的チップ・オン・チップ部品接続を備えたチップ・オン・チップ部品の断面図である。

【図4】本発明の好適な実施形態に係る第4の例示的チップ・オン・チップ部品接続を備えたチップ・オン・チップ部品の断面図である。

【図5】図4の例示的チップ・オン・チップ部品接続を使用したチップ・オン・チップ・パッケージの断面図である。

【図6】第5の例示的チップ・オン・チップ部品接続を使用した図1のチップ・オン・チップ部品の断面図である。

【図7】図6の例示的チップ・オン・チップ部品接続を使用したチップ・オン・チップ・パッケージの断面図で

ある。

【図 8】本発明の第 2 の実施形態に係るチップ・オン・チップ部品の製造順序を示す断面図である。

【図 9】本発明の第 2 の実施形態に係るチップ・オン・チップ部品の製造順序を示す断面図である。

【図 10】本発明の第 2 の実施形態に係るチップ・オン・チップ部品の製造順序を示す断面図である。

【図 11】本発明の第 2 の実施形態に係るチップ・オン・チップ部品の製造順序を示す断面図である。

【図 12】本発明の第 2 の実施形態に係るチップ・オン・チップ部品の製造順序を示す断面図である。

【図 13】本発明の第 2 の実施形態に係るチップ・オン・チップ部品の製造順序を示す断面図である。

【図 14】本発明の第 3 の実施形態に係るチップ・オン・チップ部品の断面図である。

【図 15】図 14 のチップ・オン・チップ部品を使用し

たチップ・オン・チップ・パッケージの断面図である。

【図 16】本発明の第 4 の実施形態に係るチップ・オン・チップ部品の断面図である。

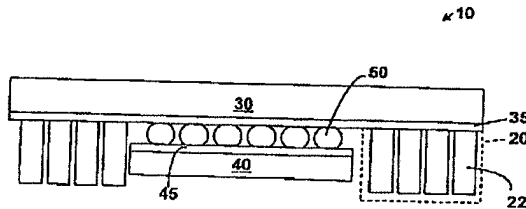
【図 17】本発明の第 5 の実施形態に係るチップ・オン・チップ部品の断面図である。

【図 18】図 17 のチップ・オン・チップ部品を使用したチップ・オン・チップ・パッケージの断面図である。

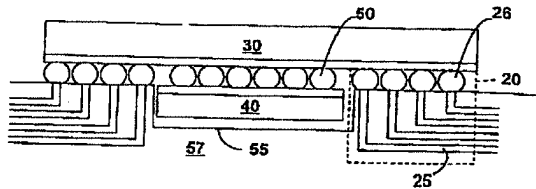
【符号の説明】

- 10 チップ・オン・チップ部品
- 20 チップ・オン・チップ部品接続
- 22 はんだカラム
- 30 第 1 チップ
- 35 第 1 チップのアクティブ領域
- 40 第 2 チップ
- 45 第 2 チップのアクティブ領域
- 50 はんだボール接続

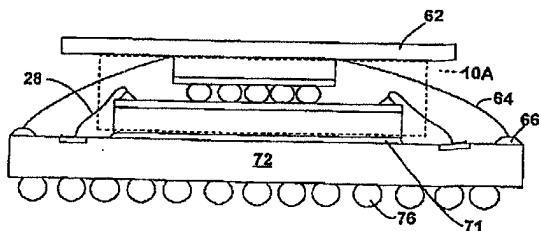
【図 1】



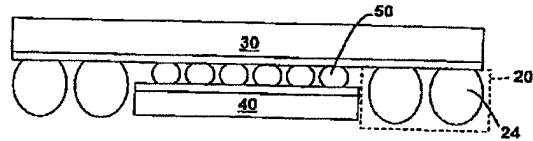
【図 3】



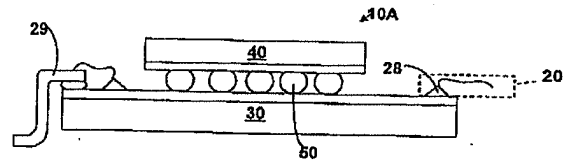
【図 5】



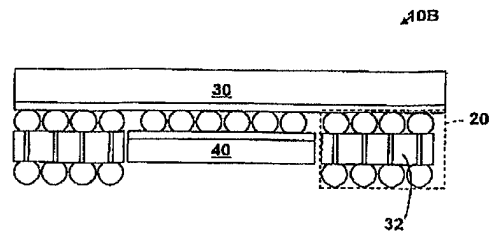
【図 2】



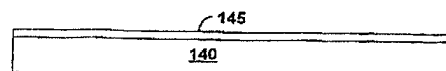
【図 4】



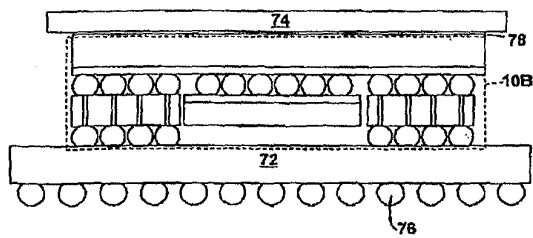
【図 6】



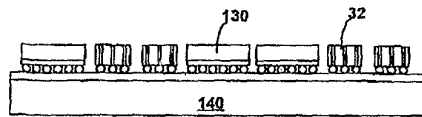
【図 8】



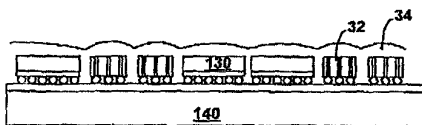
【図7】



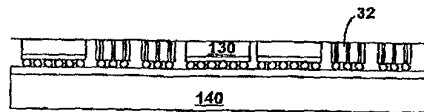
【図9】



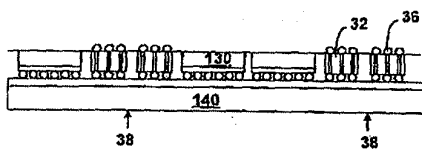
【図10】



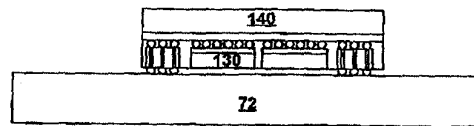
【図11】



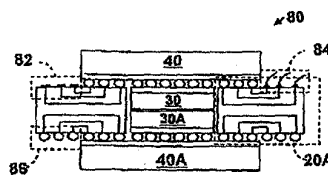
【図12】



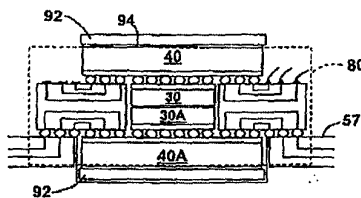
【図13】



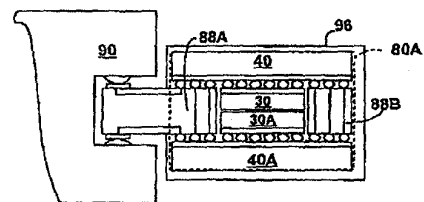
【図14】



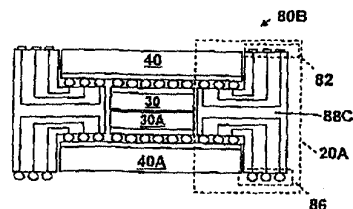
【図15】



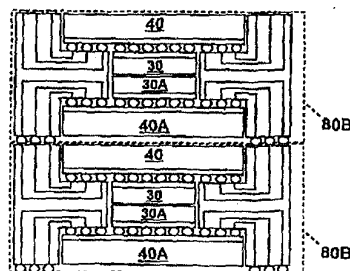
【図16】



【図17】



【図18】



フロントページの続き

(72) 発明者 クロード・ルイ・ベルタン  
アメリカ合衆国05403 バーモント州サウ  
ス・バーリントン フェザント・ウェイ  
33

(72) 発明者 トマス・ジョージ・フェレンス  
アメリカ合衆国05452 バーモント州エセ  
ックス・ジャンクション サシャ・レーン  
38 ナンバー シー 6

(72) 発明者 ウェイン・ジョン・ハウエル  
アメリカ合衆国05495 バーモント州ウィ  
リストン タマラック・ドライブ 4

(72) 発明者 エドマンド・ジュリス・スプロギス  
アメリカ合衆国05489 バーモント州アン  
ダーヒル スナイダー・ロード 35